


OPERATION OF MIS TRANSISTOR AND STRUCTURE AND MANUFACTURE THEREOF

Patent Number: JP61185972
Publication date: 1986-08-19
Inventor(s): FUKUMA MASAO
Applicant(s): NEC CORP
Requested Patent:  JP61185972
Application Number: JP19850025474 19850213
Priority Number(s):
IPC Classification: H01L29/78; H01L27/12
EC Classification:
Equivalents: JP2110851C, JP8012917B

Abstract

PURPOSE: To realize sufficiently small OFF-current and comparatively large ON-current at the same time, by forming a source and drain on both sides of a narrower-tip groove and by contacting electrically a gate and semiconductor in a wider-tip groove of single crystalline thin films.

CONSTITUTION: In an SiO substrate 23, a groove (h) with a depth of 1μm and width of 5μm is ditched. After polysilicon of 1μm is deposited, it is single-crystallized. Boron is ion-implanted therein, resists are coated thereon, the surface of the SiO substrate 23 is exposed by etching back, and then a CVD SiO₂ film of 1μm is deposited. After the CVD SiO₂ film for inter-layer insulating is deposited, the entire SiO and SiO₂ are removed till the surface of the extending portion of the underlying SiO₂ substrate 24 is exposed with dry etching. Next, another contact holes are bored on the gate extending portion to form metal wiring 30. The gate and substrate connected electrically are used as input terminals and the source and drain are used as output terminals, signal transferring terminals or power source terminals. Thus OFF-current is made small and high driving capacity can be realized easily.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-185972

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)8月19日

H 01 L 29/78
27/12

8422-5F
7514-5F

審査請求 未請求 発明の数 3 (全6頁)

⑮ 発明の名称 MISトランジスタの動作方法及びMISトランジスタの構造及びその製造方法

⑯ 特 願 昭60-25474

⑰ 出 願 昭60(1985)2月13日

⑱ 発 明 者 福 間 雅 夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

MISトランジスタの動作方法及びMISトランジスタの構造及びその製造方法

2. 特許請求の範囲

(1) MISトランジスタに於て、電気的に接続されたゲートと基板を入力端子とし、ソース及びドレインを出力端子あるいは信号伝達端子とするか又は電源に接続することを特徴とするMISトランジスタの動作方法。

(2) ソース、ドレイン領域の直下に絶縁層を有し、半導体基板がこの絶縁層にかこまれながら下方に延びて側方に広がっており、さらに半導体基板の全体が絶縁層にかこまれ、ゲートと該半導体基板とが、アクティブ領域の外で電気的に接続されていることを特徴とするMISトランジスタの構造。

(3) 絶縁基板上にく形のみぞをドレイエツチン

グ法で形成し、全体に半導体薄膜をCVD法等で成長させた後、アニール法でこれを単結晶化し、平坦化材料とエッチバック法とを用いて先のみぞの中にのみ単結晶半導体を成し、さらに絶縁薄膜成長後、先のみぞの上にそのみぞ巾よりも小さいみぞをこの絶縁薄膜に形成し、選択的エビタツヤル法により半導体をこの小さいみぞ中にうめこみ、さらに、全体に半導体薄膜を成長させたあと各種アニール法により単結晶化し、この単結晶化薄膜のうちの先の小さいみぞの上をMISトランジスタの基板とし、その両側にソース・ドレインを形成し、先の広いみぞ中の半導体とゲートを電気的にコンタクトすることを特徴とするMISトランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は動作電圧が低い場合に於ても充分なオン/オフ電流比と駆動能力が得られるMISトランジスタの動作方法と、この動作方法に適したMIS

トランジスタの構造とその製造方法に関する。

〔従来の技術〕

MIS トランジスタの微細化に伴ない、高電界による問題を避けるためあるいは、消費電力を下げるために、電源電圧を低下させる必要が生じて来ている。しかしながら通常の動作方法では、単純に電源電圧を下げると、オン／オフの電流比が取れなかったりあるいは駆動能力が落ちてしまい実用上大きな障害となる。

第6図に示す従来のCMOSインバータを例にとってその動作を示す。

図において、41はPMOSトランジスタ、42はNMOSトランジスタ、43は電源、44はアース、45は入力、46は出力である。

通常はNMOSトランジスタ42の基板は接地され、PMOSトランジスタ41の基板はドレインに接続されている。この状態では飽和状態に於けるドレイン電流 I_D は次式で表わされる。

$$I_D = K(V_D - V_T)^2$$

的に接続されたゲートと基板を入力端子とし、ソース及びドレインを出力端子あるいは信号伝達端子とするか、又は電源に接続することを特徴とする。本発明のMISトランジスタはソース、ドレイン領域の直下に絶縁層を有し、半導体基板がこの絶縁層にかこまれながら下方に延びて側方に広がっており、さらに基板全体が絶縁層にかこまれ、ゲート5と該半導体基板とが、アクティブ領域の外で電気的に接続されていることを特徴としている。また、このMISトランジスタを製造する方法は、絶縁基板上にく形のみぞをドライエッチング法等で形成し、全体に半導体薄膜をCVD法等で成長させ、各種アニール法でこれを単結晶化した後平坦化材料とエッチバック法とを用いて先のみぞの中にのみ単結晶半導体を残し、さらに全体に絶縁膜を成長させ、先のみぞの上にそのみぞ巾よりもせまいみぞをこの絶縁膜上形成し、選択的エピタキシャル法により半導体をこのせまいみぞ中にうめ込み、さらに半導体薄膜を成長させたあとアニール法により単結晶化し、この単結晶薄膜のう

ここで K は比例定数、 V_D は電源電圧、 V_T は閾電圧である。

〔発明が解決しようとする問題点〕

したがって V_D が V_T 近くまで下がると、駆動能力は極端に減少する。

これを避けるために V_T を下げると、オフ電流を充分下げることができなくなる。

すなわち、 V_T 以下のゲート電圧では I_D は $\exp(8V_G/nKT)$ に比例するので(通常は $n=1.2\sim 1.3$)、オン／オフ比を充分取ろうとすると V_T は実用上 $0.5\sim 0.6V$ 以下には設定できない。このため従来の動作方法では $0.5V$ 前後の低電圧動作は、実用的には全く実現することができない。

本発明の目的は電源電圧が $0.5V$ 程度であっても、充分小さなオフ電流と、比較的大きなオン電流とが同時に実現できるMISトランジスタの動作方法と、この動作方法に適した構造及びその製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明のMISトランジスタの動作方法は電気

ち先のせまいみぞの上をMISトランジスタの基板としその両側にソース、ドレインを形成し、先の広いみぞ中の半導体とゲートとを電気的にコンタクトすることを特徴としている。

〔作用・効果〕

次に本発明の原理を説明する。第1図は本発明のトランジスタによる典型的な動作方法である。ここでnMOSのゲートと基板とは電気的に接続され入力端子3を形成している。閾電圧は一般に次式で与えられる。

$$V_T = a + b\sqrt{2\phi_b} - V_{sub}$$

ここで a 、 b は定数、 ϕ_b は基板のフェルミレベル、 V_{sub} は基板電位である。通常のシリコンゲートMOSトランジスタでは $a \approx 0$ である。又、 $b \geq 0$ である。

本発明のMOSトランジスタの入力端子3に0電位を加えたとき、 $V_{sub} = 0$ となるのでこのときの V_T は $b\sqrt{2\phi_b} \geq 0$ となり、基板濃度、ゲート酸化膜厚を適当な値に設定すれば、このときの

チャネル電流を充分小さくできる。たとえば $V_T = 0.4V$ とすると約 $10^{-12} A/\mu m$ 程度になる。一方入力端子3に $2\phi_0$ を越えない正の電位 V_1 を与えたとき

$$V_{sub} = V_1 \text{ となるので、 } V_T = b\sqrt{2\phi_0 - V_1} \leq b\sqrt{2\phi_0} \text{ となり、 } V_T \text{ は } 0 \text{ に近づく。}$$

もし $V_1 > b\sqrt{2\phi_0 - V_1}$ となる様に b 及び V_1 を設定すればオン電流は比較的大きな値とすることができる。このとき基板とソース2とは順方向にバイアスされるが、 V_1 は $2\phi_0$ を越えることはないので順方向電流はほとんど無視することができる。この様に本発明のトランジスタを動作させるときには、電源電圧が $0.5V$ 程度であっても比較的大きな駆動能力と充分小さなオフ電流とを同時に実現できる。

この様な動作をLSIで実現するためには基板が各トランジスタ毎に独立している必要がある。

この様な動作を実現するためには基板が各トランジスタ毎に独立している必要がある。

これは、いわゆる通常のSOI基板にトランジ

スタの直下は絶縁層なので寄生容量も小さく高速動作が可能となる。

〔実施例〕

次に本発明の典型的な製造工程を第4図(a)~(f)に示す。

以下の説明では説明の便宜上第4図(a)~(f)についてはnチャネルMOSトランジスタを仮定する。第4図(a)はSiO₂基板23にドライエッチング法により深さ1 μm 、巾5 μm のみぞhを細った状態である。第4図(b)において、ポリシリコンをCVD法により1 μm 堆積した後、ストリップヒータ法で単結晶化し、 $10^{18}/cm^2$ のボロンをイオン注入し、レジストを塗布しエッチバックによりSiO₂基板23の表面を露出させ、その後CVD SiO₂膜を1 μm 堆積する。このとき先のみぞhに単結晶シリコン24がうめこまれている。次に第4図(c)に示すようにみぞhの上にSiO₂基板23をよりせまい巾でエッチオフし、選択的エピタキシャル法により単結晶シリコン25を成長させる。このときエピタキシャル成長した単結晶シリコン25の膜にはボロ

ンを形成することで達成できる。すなわち、SOI基板でMOSFETを作成するとき、通常はチャネルが形成されるべき基板は電氣的に浮遊している。しかし基板をゲート巾方向に延長し、通常の方法でコンタクトを取りゲートと金属配線によって結ぶことによってゲートと基板は接続され、かつ他のMOSFETとは完全に分離される。従って本発明の動作が可能となる。

次に第2図に本発明の動作に通した本発明のMISトランジスタの構造を示す。

第3図は第2図のI-I線断面図である。これからわかる様に本発明トランジスタの構造ではチャネルが形成される領域の半導体基板16の下に半導体基板15と同14が順に重なっておりこれらは絶縁基板13で囲まれている。又半導体基板14はチャネル巾方向に延びており、アクティブ領域の外側でゲート18とメタル20とによって電氣的に接続されている。従って本発明のトランジスタを動作させる場合、比較的中の広い半導体基板14のために基板16への寄生抵抗は充分小さくでき、又ソース・

ドレインの流れをコントロールをする。第4図(d)において、さらにポリシリコンを1 μm 堆積し、レーザーアニール法で単結晶化させた後、アクティブ領域26のみを残してエッチオフし、ゲート酸化膜27を成長させ、必要なチャネルドープを施す。

第4図(e)はSiO₂基板24がアクティブ領域26の外側に延びた部分の上に乗っているSiO₂をエッチングした後、ゲート酸化膜を成長させ、その後ポリシリコンゲート28を形成し、ソース・ドレイン用のヒ素をイオン注入した状態である。先のSiO₂基板24がアクティブ領域26の外に延びた部分の上には、ゲート酸化膜厚程度の酸化膜をはさんでポリシリコンゲート28の延長部分が乗ることになる。第5図(f)において、層内絶縁用のCVD SiO₂を堆積した後、先ず先のゲート延長部分に於て、ドライエッチングによって、下のSiO₂基板24の延長部分の表面が露出するまで全てのSiとSiO₂を除去した後、他のコンタクトホール(ソース及びドレイン等用)をあけて金属配線30を施す。なお先の延長部分では第3図に示す様

な形状でポリシリコンゲートと半導体基板14はコンタクトされる。この第4図(f)が本発明のMISトランジスタの典型的な構造の1例であり第4図(g)～(i)で説明した方法が、本発明の典型的な製造方法の1例である。

このpチャネルMOSトランジスタと同様にして作られたnチャネルMOSトランジスタとを用いてインバータを形成した時等第5図中、31はPMOSトランジスタ回路図を第5図に示す。

32はNMOSトランジスタ、33は電源、34はアース、35は入力、36は出力を示している。

本発明のMISトランジスタは電気的に接続されたゲートと基板を入力端子とし、ソース及びドレインを出力端子あるいは信号伝達端子又は電源端子に用いて動作させる。

(発明の効果)

本発明の動作方法によれば、電源電圧が0.5V程度と非常に低い場合に於ても、オフ電流は小さくかつ高い駆動能力を容易に実現でき、極微細トランジスタに於て、高速性と低電力を両立させる

ことができる。又本発明の構造によれば、基板にかかわる寄生抵抗をごく小さくすることができ、高速動作が実現できると共にゲートと基板を電気的に接続する領域がゲートへの通常のコンタクトに必要とされる面積の中に入ってしまうため、集積度の劣下もない。

さらに本発明の製造方法によれば本発明の構造を作る上で、半導体基板の主要な3つの部分の不純物濃度を独立にコントロールすることができ、各々最適な値にセットすることが可能となる。

4. 図面の簡単な説明

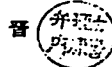
第1図は本発明トランジスタの動作原理を示す図、第2図は本発明の構造のトランジスタの断面図、第3図は第2図のⅠ-Ⅰ線断面図、第4図(a)～(i)は本発明の実施例につき製造工程順に示した図、第5図は本発明の典型的実施例を示した図、第6図は従来の動作方法を示した図である。

1……ドレイン、 2……ソース、 3……基板、
11、21……ソース、 12、22……ドレイン、

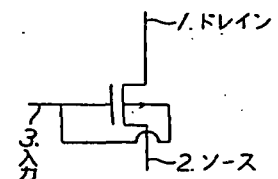
13、23……絶縁(SiO₂)基板、 14、24……半導体基板(単結晶シリコン)、 15、25……半導体基板(単結晶シリコン)、 16、26……半導体基板(アクティブ領域)、 17、27……ゲート絶縁膜、 18、28……ポリシリコンゲート、 29……層間絶縁膜、 20、30……メタル配線、 31……PMOSトランジスタ、 32……NMOSトランジスタ、 33……電源端子、 34……アース、 35……入力端子、 36……出力端子。

特許出願人 日本電気株式会社

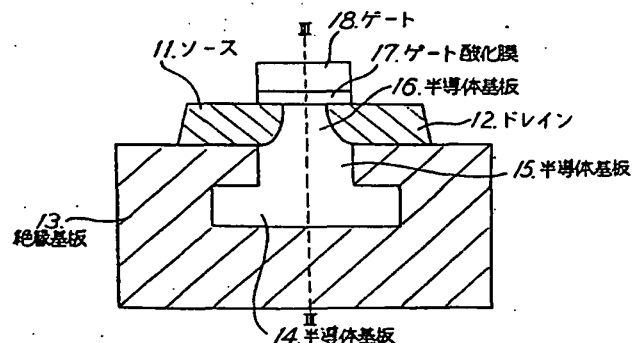
代理人 弁理士 内 原 晋



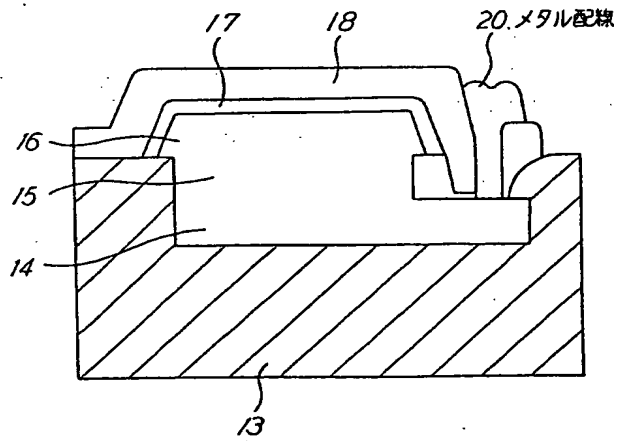
第1図



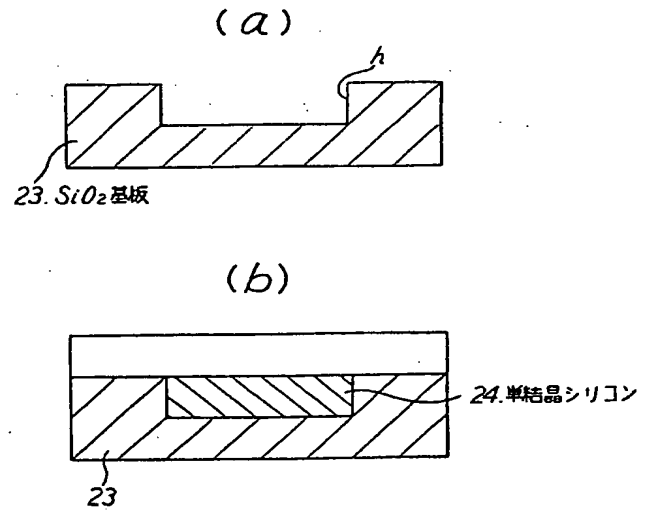
第2図



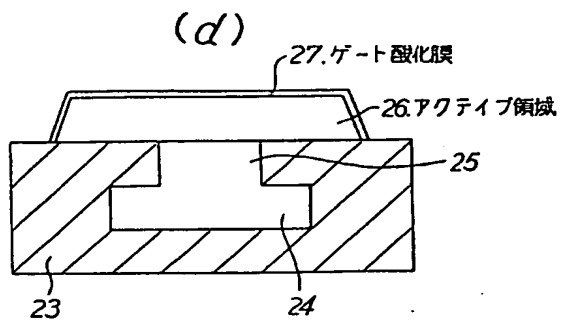
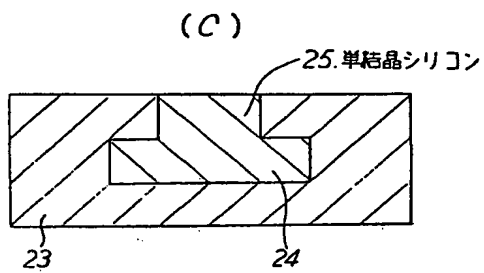
第3図



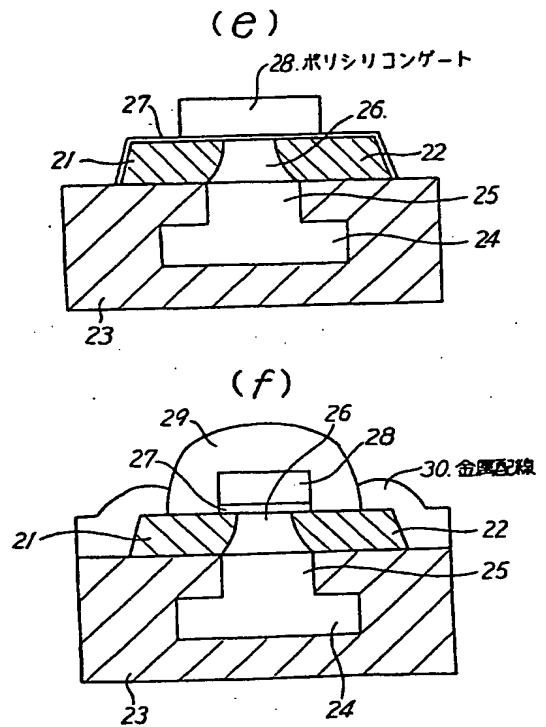
第4図



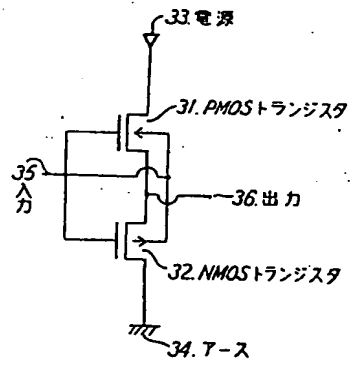
第4図



第4図



第 5 図



第 6 図

